

CLIPPEDIMAGE= JP02000022461A

PAT-NO: JP02000022461A

DOCUMENT-IDENTIFIER: JP 2000022461 A

TITLE: HIGH FREQUENCY POWER AMPLIFIER

PUBN-DATE: January 21, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
SAITO, TAKATOSHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
KYOCERA CORP	N/A

APPL-NO: JP10183108

APPL-DATE: June 29, 1998

INT-CL (IPC): H03F003/60

ABSTRACT:

PROBLEM TO BE SOLVED: To make the power amplifier small while attaining a high efficiency by controlling an impedance of a high frequency transistor(TR) at a post-stage in two stage with respect to a secondary harmonics without addition of other circuits.

SOLUTION: The high frequency power amplifier is provided with high frequency TRs Q1, Q2 of 2-stage configuration, an input matching circuit, an inter-stage matching circuit consisting of distributed constant lines L3, L4, L5 to match the impedance between the TRs Q1, Q2, an output matching circuit, a pre-stage bias circuit consisting of a distributed constant line L2 connected in parallel with the midway of the L3, L4, a post-stage bias circuit. A sum of a length of the line L2 and a length of the line L3 is selected to be a 1/4 wavelength of a fundamental frequency, the impedance when viewing toward the output electrode of the TR Q1 is matched with respect to the fundamental frequency and the secondary harmonics, and a phase angle of the impedance of the TR Q2 due to the length of the line L2 with respect to the secondary harmonics is

selected to be
140-180 degrees. The secondary harmonics is controlled by using the
pre-stage
bias circuit to attain a high efficiency and miniaturization.

COPYRIGHT: (C)2000,JPO

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022461
(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H03F 3/60

(21)Application number : 10-183108

(71)Applicant : KYOCERA CORP

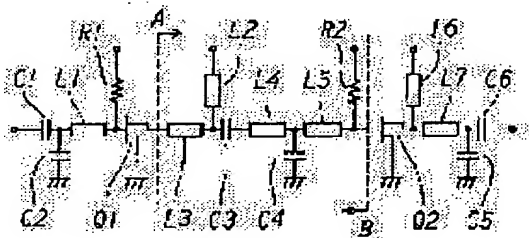
(22)Date of filing : 29.06.1998

(72)Inventor : SAITO TAKATOSHI

(54) HIGH FREQUENCY POWER AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To make the power amplifier small while attaining a high efficiency by controlling an impedance of a high frequency transistor(TR) at a post-stage in two stage with respect to a secondary harmonics without addition of other circuits.
SOLUTION: The high frequency power amplifier is provided with high frequency TRs Q1, Q2 of 2-stage configuration, an input matching circuit, an inter-stage matching circuit consisting of distributed constant lines L3, L4, L5 to match the impedance between the TRs Q1, Q2, an output matching circuit, a pre-stage bias circuit consisting of a distributed constant line L2 connected in parallel with the midway of the L3, L4, a post-stage bias circuit. A sum of a length of the line L2 and a length of the line L3 is selected to be a 1/4 wavelength of a fundamental frequency, the impedance when viewing toward the output electrode of the TR Q1 is matched with respect to the fundamental frequency and the secondary harmonics, and a phase angle of the impedance of the TR Q2 due to the length of the line L2 with respect to the secondary harmonics is selected to be 140-180 degrees. The secondary harmonics is controlled by using the pre-stage bias circuit to attain a high efficiency and miniaturization.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Cited Reference I

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-22461
(P2000-22461A)

(43) 公開日 平成12年 1 月21日 (2000. 1. 21)

(51) Int. Cl.
H 0 3 F 3/60

識別記号

F I
H 0 3 F 3/60

データベース (参考)
5 J 0 6 7

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平10-183108

(22) 出願日 平成10年 6 月29日 (1998. 8. 29)

(71) 出願人 000006533

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町 6 番地

(72) 発明者 斉藤 崇利

京都府相楽郡精華町光台 3 丁目 5 番地 京

セラ株式会社中央研究所内

F ターム (参考) 5J067 AA04 CA27 CA36 CA71 CA81

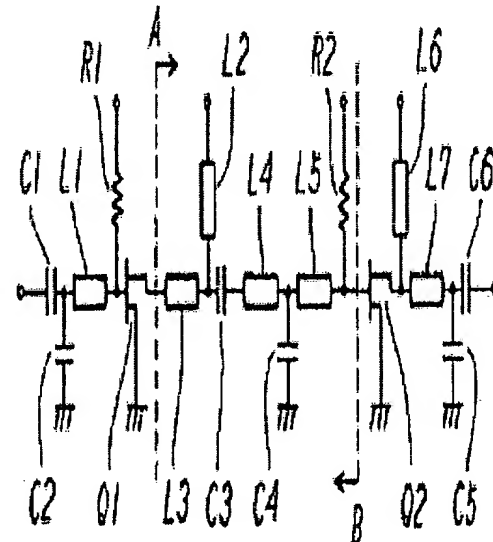
HA09 HA25 HA29 KA12 KA29

KA48 MA08 MA22

【発明】 高周波用電力増幅器

【課題】 2 段構成の後段の高周波トランジスタの 2 次高調波に対するインピーダンスを他の回路を付加せず

に制御し、高効率化を図りつつ小型化を図る。
【解決手段】 2 段構成の高周波トランジスタ Q1・Q2 と、入力整合回路と、Q1・Q2 間のインピーダンス整合をとるための分布定数線路 L3・L4・L5 から成る段間整合回路と、出力整合回路と、L3・L4 の途中に並列に接続された分布定数線路 L2 から成る前段バイアス回路と、後段バイアス回路とを具備し、L2 の線路長と L3 の線路長との和を基本周波数の 4 分の 1 波長とし、Q1 の出力電極から後段側を見た基本周波数および 2 次高調波に対するインピーダンスの整合をとるとともに、L2 の線路長により Q2 の 2 次高調波に対するインピーダンスの位相角を $10^{\circ} \sim 80^{\circ}$ に設定した高周波用電力増幅器である。前段バイアス回路を利用して 2 次高調波を制御し、高効率化と小型化を実現できる。



【特許請求の範囲】

【請求項1】制御電極に供給された高周波入力信号を増幅し出力電極より高周波出力信号として出力する、2段構成の高周波トランジスタと、前段の高周波トランジスタの前記制御電極に接続され、前記高周波入力信号の基本周波数に対して入力インピーダンス整合をとるための入力整合回路と、前段の高周波トランジスタの前記出力電極と後段の高周波トランジスタの前記制御電極との間に挿入され、前記2段構成の高周波トランジスタ間のインピーダンス整合をとるための分布定数線路から成る段間整合回路と、後段の高周波トランジスタの前記出力電極に接続され、所望の出力特性に整合をとるための出力整合回路と、前記段間整合回路の分布定数線路の途中に段間整合回路に並列に接続され、前記前段の高周波トランジスタに直流電流を供給するための分布定数線路から成る前段バイアス回路と、前記後段の高周波トランジスタの前記出力電極に接続され、前記後段の高周波トランジスタに直流電流を供給するための分布定数線路から成る後段バイアス回路とを具備し、前記前段バイアス回路の分布定数線路の線路長と、前記段間整合回路の前記前段の高周波トランジスタの出力電極と前記前段バイアス回路間の分布定数線路の線路長との和を前記高周波入力信号の基本周波数の4分の1波長とし、前記前段の高周波トランジスタの前記出力電極から後段側を見た前記高周波入力信号の基本周波数および2次高調波に対するインピーダンスの整合をとるとともに、前記前段バイアス回路の前記分布定数線路の線路長により、前記後段の高周波トランジスタの前記制御電極から前段側を見たインピーダンスのうち前記高周波入力信号の基本周波数の2次高調波に対するインピーダンスの位相角を $140^{\circ} \sim 180^{\circ}$ に設定したことを特徴とする高周波用電力増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は携帯電話を始めとする移動体通信機器において、マイクロ波帯等の高周波電力の増幅に使用される高周波用電力増幅器に関するものである。

【0002】

【従来の技術】近年、携帯電話や無線機器を始めとする移動体通信機器端末に使用される半導体デバイスや電子部品に対する小型化・軽量化・高効率化つまり低消費電流化の要望が強くなっており、これらの送信器に用いられる高周波用電力増幅器についても同様に小型化・軽量化が要求されている。中でも、高効率化に関しては、高周波用電力増幅器が端末機器全体の約半分の電流を消費するため、低電流化が大きな課題である。

【0003】このような高周波用電力増幅器の回路構成

は、電力増幅用の高周波トランジスタを2段用いた多段構成が一般的となっており、その入出力回路および2段のトランジスタ間の段間回路には所望の特性が得られるような段間整合回路と、前段の高周波トランジスタの出力電極に直流電流を供給する前段バイアス回路とが構成される。

【0004】図2にこのような従来の高周波用電力増幅器の代表的な回路構成の例の回路図を示す。

【0005】図2において、Q3・Q4は電力増幅を行なう2段構成の高周波トランジスタであり、ここでは電界効果トランジスタ(FET)を示す。

【0006】C7・C8は、それぞれこの高周波用電力増幅器と他の回路との直流成分を遮断するためのデカップリングコンデンサであり、通常は高周波信号の基本周波数に対してインピーダンスが十分低くなるような容量値とされる。

【0007】C8・L8およびC11・L11ならびにC10・L10・L12はそれぞれ高周波トランジスタQ3・Q4の性能を引き出すために入出力回路および高周波トランジスタQ3・Q4間の高周波信号の基本周波数に対するインピーダンスを最適なものとするためのコンデンサおよび分布定数線路、例えばマイクロストリップ線路である。それぞれC8・L8により入力整合回路が、C11・L11により出力整合回路が、C10・L10・L12により段間整合回路が構成されることとなる。

【0008】なお、インピーダンスの段間整合においてはL10のみでインピーダンス整合が可能であって、L11・C11は必ずしも必要とするものではなく、L11・C11は高周波用電力増幅器の仕様に応じ、また必要に応じて付加される。

【0009】R3・R4はそれぞれ高周波トランジスタQ3・Q4のゲート(制御電極)に制御バイアス電圧を供給するための制御バイアス回路を構成する抵抗である。

【0010】L9ならびにL12はそれぞれ高周波トランジスタQ3・Q4のドレインおよび出力のための電流を供給する前段バイアス回路ならびに後段バイアス回路を構成する分布定数線路であり、通常は高周波信号の基本周波数の4分の1波長の長さになるようにして、高周波トランジスタQ3・Q4のドレイン(出力電極)側から見てインピーダンスが無限大に見えるようにするか、あるいは回路のインピーダンスから見て無視できるほどの大きなインピーダンスとなる線路長に設定されている。

【0011】C9は前段バイアス回路から高周波トランジスタQ3へ供給する直流電流が高周波トランジスタQ4へ流れ込むことを防ぐデカップリングコンデンサであり、通常はC7・C8と同様に、高周波信号の基本周波数から見てインピーダンスが十分低くなるような容量値とされる。

【0012】このような回路構成の高周波用電力増幅器

においては、前段の高周波トランジスタQ3である程度のゲインを得ており、後段の高周波トランジスタQ4がその他の特性、例えば消費電流・歪み等の特性に対して支配的なものとなっている。

【0013】例えば、入力電力+5 dBmに対して出力電力+30 dBm・消費電流10 mAの高周波増幅器の場合、高周波トランジスタQ3・Q4のゲインはそれぞれ5 dB・10 dB程度、電流はそれぞれ10 mA・40 mA程度となっている。

【0014】従って、高周波増幅器の高効率化を図るためには後段の高周波トランジスタQ4の低電流化は必須の条件であり、その低電流化を達成するため、出力整合回路において、高周波信号の基本周波数に対するインピーダンスのみならず基本周波数の2次高調波に対するインピーダンスに関しても、ロードプル測定により、または実験的に最適（低電流）となるインピーダンスを求め、最適化する制御が一般に行なわれている。また、そればかりではなく、後段の高周波トランジスタQ4に対する入力整合回路、つまり段間整合回路においても2次高調波に関して同様の制御が行なわれている。

【0015】従来の高周波増幅器においては、段間整合回路における2次高調波の制御は、段間整合回路に、図2にDで示すような例えば分布定数線路とコンデンサとから成る制御回路を付加することにより行なっていた。このとき、この回路D中の分布定数線路を基本周波数の4分の1波長に相当する線路長とすることにより、高周波入力信号の基本周波数に対しては影響を与えず、2次高調波のみを制御するようにしている。

【0016】

【発明が解決しようとする課題】しかしながら、上記のような従来の高周波増幅器においては、段間整合回路において高周波信号の基本周波数の2次高調波に対してインピーダンスに関する制御を行なうための回路Dを別に設けて付加していたことから、高周波増幅器の小型化の妨げとなっており、小型化の要求に十分に対応できないという問題点があった。

【0017】本発明は上記従来技術における問題点に鑑みて案出されたものであり、その目的は、2段構成の高周波トランジスタを用いた高周波増幅器における段間整合回路における高周波信号の基本周波数の2次高調波に対するインピーダンスの制御について、後段の高周波トランジスタから見た2次高調波に対するインピーダンスに関して制御を行なうための回路を付加する必要がなく、小型化の要求に十分に答えることができる高周波増幅器を提供することにある。

【0018】

【課題を解決するための手段】本発明の高周波増幅器は、制御電極に供給された高周波入力信号を増幅し出力電極より高周波出力信号として出力する、2段構成の高周波トランジスタと、前段の高周波トランジスタの

前記制御電極に接続され、前記高周波入力信号の基本周波数に対して入力インピーダンス整合をとるための入力整合回路と、前段の高周波トランジスタの前記出力電極と後段の高周波トランジスタの前記制御電極との間に挿入され、前記2段構成の高周波トランジスタ間のインピーダンス整合をとるための分布定数線路から成る段間整合回路と、後段の高周波トランジスタの前記出力電極に接続され、所望の出力特性に整合をとるための出力整合回路と、前記段間整合回路の分布定数線路の途中に段間整合回路に並列に接続され、前記前段の高周波トランジスタに直流電流を供給するための分布定数線路から成る前段バイアス回路と、前記後段の高周波トランジスタの前記出力電極に接続され、前記後段の高周波トランジスタに直流電流を供給するための分布定数線路から成る後段バイアス回路とを具備し、前記前段バイアス回路の分布定数線路の線路長と、前記段間整合回路の前記前段の高周波トランジスタの出力電極と前記前段バイアス回路間の分布定数線路の線路長との和を前記高周波入力信号の基本周波数の4分の1波長とし、前記前段の高周波トランジスタの前記出力電極から後段側を見た前記高周波入力信号の基本周波数および2次高調波に対するインピーダンスの整合をとるとともに、前記前段バイアス回路の前記分布定数線路の線路長により、前記後段の高周波トランジスタの前記制御電極から前段側を見たインピーダンスのうち前記高周波入力信号の基本周波数の2次高調波に対するインピーダンスの位相角を $10^{\circ} \sim 110^{\circ}$ に設定したことを特徴とするものである。

【0019】本発明の高周波増幅器によれば、前段の高周波トランジスタの出力電極と後段の高周波トランジスタの制御電極との間に挿入された、2段構成の高周波トランジスタ間のインピーダンス整合をとるための分布定数線路から成る段間整合回路と、段間整合回路の分布定数線路の途中に段間整合回路に並列に接続された、前段の高周波トランジスタに直流電流を供給するための分布定数線路から成る前段バイアス回路とを具備し、これら前段バイアス回路の分布定数線路の線路長と、段間整合回路の前段の高周波トランジスタの出力電極と前段バイアス回路間の分布定数線路の線路長との和を高周波入力信号の基本周波数の4分の1波長とし、前段の高周波トランジスタの出力電極から後段側を見た高周波入力信号の基本周波数および2次高調波に対するインピーダンス（出力インピーダンス）の整合をとるとともに、前段バイアス回路の分布定数線路の線路長により、後段の高周波トランジスタの制御電極から前段側を見たインピーダンス（入力インピーダンス）のうち高周波入力信号の基本周波数の2次高調波に対するインピーダンスの位相角を $10^{\circ} \sim 110^{\circ}$ に設定したことから、前段の高周波トランジスタの出力電極に直流電流を供給するバイアス回路を構成する分布定数線路を段間整合回路の一部として用いることとなり、これら前段バイアス

回路と段間整合回路の一部とによって、前段の高周波トランジスタに直流電流を供給するという本来の目的を達成するばかりでなく、後段の高周波トランジスタから見た入力インピーダンスの基本周波数の2次高調波に対するインピーダンスの制御回路としても機能するものとなり、後段の高周波トランジスタの低電流化を達成することができるものとなる。この結果、従来のように高調波制御回路を別の回路として付加する必要はなく、より一層の小型化の要求にも対応可能な高調波制御機能を有する高周波用電力増幅器となる。

【0020】

【発明の実施の形態】次に、本発明を添付図面に基づき説明する。図1は本発明の高周波用電力増幅器の実施の形態の一例を説明するための回路構成の例を示す回路図である。

【0021】図1において、Q1とQ2は電力増幅を行なう高周波トランジスタであり、例えば数百MHzから数GHzといった分布定数線路が適用できる周波数範囲において用いられるものであり、ここでは電界効果トランジスタ(FET)を例に示す。

【0022】C1・C6はそれぞれこの高周波用電力増幅器と他の回路との直流成分を遮断するためのデカップリングコンデンサである。また、C3は前段の高周波トランジスタQ1へ供給した直流成分が、後段の高周波トランジスタQ2へ流れ込むことを遮断するためのデカップリングコンデンサである。これらデカップリングコンデンサC1・C3・C6は、通常は基本周波数から見て十分に低いインピーダンスになるように設定され、それぞれ基本周波数に対する入力インピーダンス整合・段間インピーダンス整合・出力インピーダンス整合には影響しない。

【0023】C2・L1はそれぞれ前段の高周波トランジスタQ1の性能を引き出すために前段の高周波トランジスタQ1と入出力回路とのインピーダンス整合をとるために入力整合回路を構成するコンデンサおよび分布定数線路、例えば分布定数線路である。C5・L7は所望の出力特性、例えば歪み特性・出力電力・消費電流等を単独であるいは同時に満たすような整合をとるための出力整合回路を構成するコンデンサおよび分布定数線路、例えばマイクロストリップ線路である。これら入力整合回路は前段の高周波トランジスタQ1のゲート(制御電極)に、また出力整合回路は後段の高周波トランジスタQ2の出力電極にそれぞれ接続されている。

【0024】R1・R2はそれぞれ前段の高周波トランジスタQ1・後段の高周波トランジスタQ2のゲートにバイアス電圧を供給するためのバイアス回路を構成する抵抗である。

【0025】L6は後段の高周波トランジスタQ2のドレイン(出力電極)および出力のための直流電流を供給するバイアス回路を構成する分布定数線路、例えばマイ

クロストリップ線路である。通常は基本周波数の4分の1波長の長さになるようにして、後段の高周波トランジスタQ2のドレイン側から見てインピーダンスが無限大に見えるようにするか、あるいは回路のインピーダンスから見て無視できるほどの大きなインピーダンスとなる線路長に設定されている。

【0026】L2は前段の高周波トランジスタQ1のドレイン(出力電極)および出力のためのバイアス回路を構成する分布定数線路、例えばマイクロストリップ線路である。このL2は、基本的には高周波信号の基本周波数の4分の1波長の長さになるようにして、前段の高周波トランジスタQ1のドレイン側から見てインピーダンスが無限大に見えるようにするか、あるいは回路のインピーダンスから見て無視できるほどの大きなインピーダンスとなる線路長に設定されるが、本発明の高周波用電力増幅器においては、その線路長を後述するように設定することによりこの前段バイアス回路と段間整合回路の一部とによって後段の高周波トランジスタから見た入力インピーダンスの基本周波数の2次高調波に対するインピーダンスの制御回路としても機能するものとしている。

【0027】C4およびL3・L4・L5は2段の高周波トランジスタQ1・Q2間の高周波信号の基本周波数に対するインピーダンスを最適なものとするためのコンデンサおよび分布定数線路、例えばマイクロストリップ線路であり、これらにより段間整合回路が構成されることとなる。なお、インピーダンスの段間整合においてはL3・L4のみでインピーダンス整合が可能であって、L5・C4は必ずしも必要とするものではなく、L5・C4は高周波用電力増幅器の仕様に応じ、また必要に応じて付加される。

【0028】C3は前段バイアス回路から高周波トランジスタQ1へ供給する直流電流が高周波トランジスタQ2へ流れ込むことを防ぐデカップリングコンデンサであり、通常はC1・C6と同様に、高周波信号の基本周波数から見てインピーダンスが十分低くなるような容量値とされる。

【0029】ここで、前段バイアス回路を構成するL2は、段間整合回路の分布定数線路の途中、すなわち図1においてはL3とL4との間に段間整合回路に並列に接続されている。そして、本発明の高周波用電力増幅器においては、前段バイアス回路の分布定数線路L2の線路長と、段間整合回路の前段の高周波トランジスタQ1の出力電極と前段バイアス回路間の分布定数線路L3の線路長との和を、高周波入力信号の基本周波数の4分の1波長の長さになるようにして、前段の高周波トランジスタQ1の出力電極から後段側を見た高周波入力信号の基本周波数および2次高調波に対するインピーダンス、すなわち入力インピーダンスに悪影響を与えないものとして、インピーダンスの整合をとっている。さらに、この

状態で前段バイアス回路の分布定数線路L2の線路長を調整することにより、後段の高周波トランジスタQ2の制御電極から前段側を見たインピーダンス、すなわち入力インピーダンスのうち高周波入力信号の基本周波数の2次高調波に対するインピーダンスの位相角を $10^{\circ} \sim 110^{\circ}$ に設定している。

【0030】このように、本発明の高周波用電力増幅器においてはL2の線路長とL3の線路長との和を高周波入力信号の基本周波数の4分の1波長の長さになるように設定することにより2次高調波に対するインピーダンスの位相角を制御することが特徴であり、このことは、本発明者が種々の実験を行なった結果得た知見に基づくものである。

【0031】さらに、段間整合回路を構成するC4と従来例で示した図2のC4とが一致するような容量値にし、L5の線路長と図2のL1の線路長とが、またL3とL4の合計の線路長と図2のL1の線路長とがそれぞれ一致するようにして、その他の入力整合回路・高周波トランジスタ・出力整合回路を同様のものにすれば、図1のA点から後段側を見た基本周波数および2次高調波に対するインピーダンスと従来例で示した図2のA'点から後段側を見たインピーダンス、つまり前段の高周波トランジスタQ1から見た出力インピーダンスと図2の前段の高周波トランジスタQ3から見た出力インピーダンスは一致させることができる。

【0032】さらに、図1のB点から前段側を見れば、分布定数線路L3はオープンプラットフォームとして見え、これによりB点から見た基本周波数に対する2次高調波、つまり後段の高周波トランジスタQ2から見た2次高調波に対する入力インピーダンスが制御できる。

【0033】このようにして、高周波入力信号の基本周波数に対するインピーダンスの整合をとって、高周波入力信号の基本周波数の2次高調波に対するインピーダンスの位相角を $10^{\circ} \sim 110^{\circ}$ に設定したことにより、後段の高周波トランジスタQ2の制御電極から前段側を見たインピーダンスのうち高周波入力信号の基本周波数に対しては悪影響を与えず、2次高調波に対するインピーダンスのみを制御することができるものとなる。その結果、本発明の高周波用電力増幅器によれば、2次高調波に対するインピーダンスを適切に設定することによって後段の高周波トランジスタQ2の低電流化を達成できるので、従来例の回路Dのような新たな回路を付加することなく後段の高周波トランジスタQ2の低電流化を達成することができ、小型化の要求に十分に応えつつ高周波用電力増幅器の高効率化を図ることができるものとなる。

【0034】なお、後段の高周波トランジスタQ2の制御電極から前段側を見た高周波入力信号の基本周波数の2次高調波に対するインピーダンスの位相角を $10^{\circ} \sim 110^{\circ}$ に設定しているのは、本発明者が行なった種々の

実験の結果より、この位相角が 10° 未満となると高周波用電力増幅器の出力電力が減少する傾向があり、他方、位相角が 110° を超えると高周波用電力増幅器の出力電力が減少し、また、後段の高周波トランジスタQ2の電流が上昇して効率が悪化する傾向があることを見出したことに基づくものである。

【0035】また、前段バイアス回路のL2の線路長と段間整合回路のL3の線路長との和を高周波入力信号の基本周波数の4分の1波長の長さになるようにする場合、各々の線路長は、前述のように前段バイアス回路の分布定数線路L2により前段の高周波トランジスタQ1に直流電流を供給するという本来の目的を達成しつつその分布定数線路L2の線路長により後段の高周波トランジスタQ2の2次高調波に対する入力インピーダンスの位相角を $10^{\circ} \sim 110^{\circ}$ に設定するように調整し、その線路長と段間整合回路の分布定数線路L3の線路長との和が基本周波数の4分の1波長の長さとなるようにすればよい。

【0036】以上のように、本発明によれば、前段の高周波トランジスタに直流電流を供給するバイアス回路を構成する分布定数線路を段間整合回路の一部として使用することで、他の回路を付加することなく後段の高周波トランジスタの2次高調波に対する入力インピーダンスを制御することができ、高効率化と小型化を同時に実現することができる。

【0037】なお、以上はあくまで本発明の実施の形態の例示であって、本発明はこれに限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変更や改良を加えることは何ら差し支えない。例えば、段間インピーダンスの整合をとるために、コンデンサを複数使用したりすることも可能である。

【0038】

【発明の効果】本発明の高周波用電力増幅器によれば、前段の高周波トランジスタの出力電極と後段の高周波トランジスタの制御電極との間に挿入された、2段構成の高周波トランジスタ間のインピーダンス整合をとるための分布定数線路から成る段間整合回路と、段間整合回路の分布定数線路の途中に段間整合回路に並列に接続された、前段の高周波トランジスタに直流電流を供給するための分布定数線路から成る前段バイアス回路とを具備し、これら前段バイアス回路の分布定数線路の線路長と、段間整合回路の前段の高周波トランジスタの出力電極と前段バイアス回路間の分布定数線路の線路長との和を高周波入力信号の基本周波数の4分の1波長とし、前段の高周波トランジスタの出力電極から後段側を見た高周波入力信号の基本周波数および2次高調波に対するインピーダンスの整合をとるとともに、前段バイアス回路の分布定数線路の線路長により、後段の高周波トランジスタの制御電極から前段側を見たインピーダンスのうち高周波入力信号の基本周波数の2次高調波に対するイン

ピーダンスの位相角を $10^{\circ} \sim 10^{\circ}$ に設定したことによって、前段の高周波トランジスタに直流電流を供給するバイアス回路を構成する分布定数線路を段間整合回路の一部として使用して後段の高周波トランジスタの2次高調波に対するインピーダンスを制御可能としたため、後段の高周波トランジスタの低電流化と高効率化が実現できることに加え、2次高調波制御用の他の回路を付加する必要がないために小型化の要求にも対応することができる。

【0039】以上により、本発明によれば、2段構成の高周波トランジスタを用いた高周波用電力増幅器における段間整合回路における高周波信号の基本周波数の2次高調波に対するインピーダンスの制御について、後段の高周波トランジスタから見た2次高調波に対するインピーダンスに関して制御を行なうための回路を付加する必

要がなく、高効率化を達成しつつ小型化の要求に十分に応えることができる高周波用電力増幅器を提供することができた。

【図面の簡単な説明】

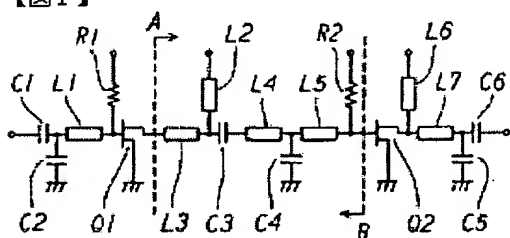
【図1】本発明の高周波用電力増幅器の実施の形態の一例を説明するための回路構成の例を示す回路図である。

【図2】従来の高周波用電力増幅器の回路構成の例を示す回路図である。

【符号の説明】

Q1・・・前段の高周波トランジスタ
Q2・・・後段の高周波トランジスタ
L2、L3、L4、L5、L6・・・分布定数線路

【図1】



【図2】

